

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-265410

(43)Date of publication of application : 15.10.1993

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
H04N 5/66

(21)Application number : 04-135072

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 27.05.1992

(72)Inventor : SANO ISAO

(30)Priority

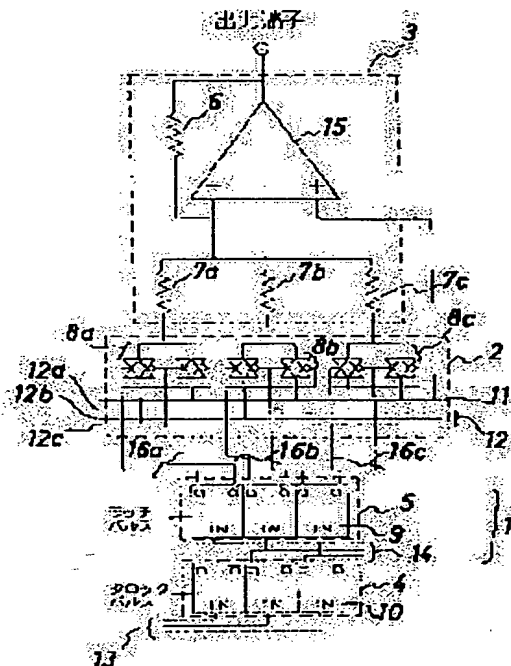
Priority number : 04 10917 Priority date : 24.01.1992 Priority country : JP

## (54) DATA-SIDE DRIVING DEVICE FOR SEMICONDUCTOR DEVICE FOR MULTI-OUTPUT DRIVING AND LIQUID CRYSTAL DISPLAY PANEL

## (57)Abstract:

**PURPOSE:** To provide the data-side driving device for the semiconductor device for multi-output driving and liquid crystal display panel which saves the space and makes the output level of a driving signal multistage.

**CONSTITUTION:** A unit output circuit which is adaptive to an eight-gradation display has the holding output part 1 consisting of a 3-bit input shift register 4 and a latch circuit 5 composed of D-type flip-flops 10 and 9, a selector 2 equipped with analog switches 8a, 8b, and 8c which select a weighted reference voltage 12 for gradations according to the parallel data signal outputted from the output part 1, and the voltage addition and amplification part 3 consisting of resistances 7a, 7b, 7c, and 6 and an operational amplifier 15 which add and amplify the selected reference voltage for gradations.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-265410

(43)公開日 平成5年(1993)10月15日

| (51)Int.Cl. <sup>5</sup> | 識別記号    | 庁内整理番号  | F I | 技術表示箇所 |
|--------------------------|---------|---------|-----|--------|
| G 0 9 G 3/36             |         | 7319-5G |     |        |
| G 0 2 F 1/133            | 5 7 5   | 7820-2K |     |        |
| H 0 4 N 5/66             | 1 0 2 B | 9068-5C |     |        |

審査請求 未請求 請求項の数6(全 15 頁)

(21)出願番号 特願平4-135072

(22)出願日 平成4年(1992)5月27日

(31)優先権主張番号 特願平4-10917

(32)優先日 平4(1992)1月24日

(33)優先権主張国 日本 (J P)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 佐野 功

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

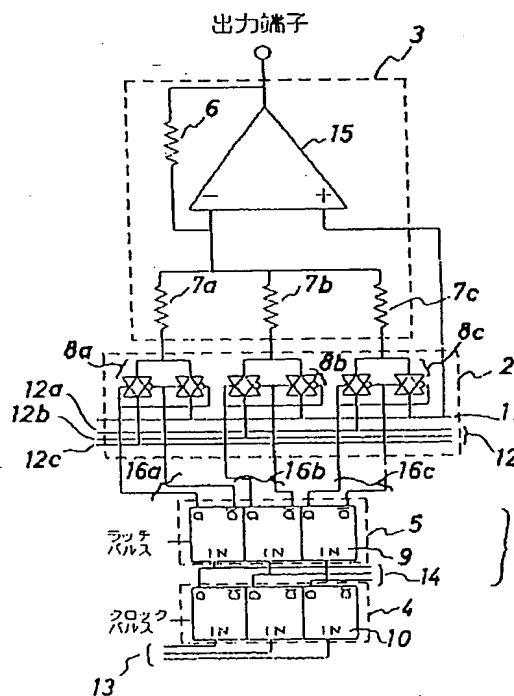
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 多出力駆動用半導体装置および液晶表示パネルのデータ側駆動装置

(57)【要約】

【目的】 省スペース化および駆動用信号の出力レベルの多段階化可能な多出力駆動用半導体装置および液晶表示パネルのデータ側駆動装置を実現すること。

【構成】 8階調表示対応の単位出力回路は、D型フリップフロップ10、9から構成された3ビット入力シフトレジスタ4およびラッチ回路5からなる保持出力部1と、そこから出力された並列データ信号に基づいて、重み付けされた階調用基準電圧12を選択するアナログスイッチ8a、8b、8cを備えるセレクター2と、選択された階調用基準電圧を加算、増幅する抵抗7a、7b、7c、6およびオペアンプ15から構成された電圧加算増幅部3を有する。



## 【特許請求の範囲】

【請求項1】 取り込んだデータ信号をラッチ信号に同期して並列データとして出力する保持出力部と、この保持出力部から出力された前記並列データに基づいて、重み付けされた各基準電圧を選択するセレクターと、このセレクターにより選択された各基準電圧に演算を施して前記データ信号に対応する電圧信号を出力する演算部と、を備える複数の単位出力回路を有することを特徴とする多出力駆動用半導体装置。

【請求項2】 請求項1において、前記演算部は、選択された各基準電圧のうち、非反転入力側で選択された基準電圧の和と、反転入力側で選択された基準電圧の和との差を所定の増幅度で増幅して前記電圧信号を出力する差動増幅部であることを特徴とする多出力駆動用半導体装置。

【請求項3】 請求項1において、前記演算部は、選択された各基準電圧を加算して前記電圧信号を出力する電圧加算部であることを特徴とする多出力駆動用半導体装置。

【請求項4】 請求項3において、前記電圧加算部は、前記基準電圧を加算すると共に所定の増幅度で増幅して前記電圧信号を出力する電圧加算増幅部であることを特徴とする多出力駆動用半導体装置。

【請求項5】 請求項3または請求項4において、前記電圧加算部に対して、そこから出力される前記電圧信号にオフセットを加えるオフセット調整用電圧を入力すべき出力電圧調整手段を有することを特徴とする多出力駆動用半導体装置。

【請求項6】 請求項1ないし請求項5のいずれかの項に規定する多出力駆動用半導体装置を備えた液晶表示パネルのデータ側駆動装置であって、前記保持出力部は、クロック信号に同期して前記データ信号としての階調表示用信号を取り込んで前記並列データ信号を転送するシフトレジスタと、このシフトレジスタから転送された前記並列データ信号を走査側とのタイミングを調整すべき前記ラッチ信号に同期して出力するラッチ回路と、を有することを特徴とする液晶表示パネルのデータ側駆動装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は多出力駆動用半導体装置および液晶表示パネルのデータ側駆動装置に関する。

## 【0002】

【従来の技術】 代表的なフラットパネル型表示装置である液晶表示パネルは、液晶テレビやOA用ディスプレイ装置として用いられ、その表示機構の面からは単純マトリクス型とアクティブマトリクス型に大別される。そのうち、アクティブマトリクス型液晶表示パネルは、高階調表示が可能であるため、高い表示品位が得られるという特長がある。このようなアクティブマトリクス型(T

F.T)液晶表示パネルの概略構成は、たとえば図6に示すとおり、データ信号線46と走査信号線47がマトリクス型に直交しており、その交点の表示画素毎にTFT(薄膜トランジスタ)48およびコンデンサ49が配置され、液晶50の両端に印加される電圧をデータ側駆動回路43および走査側駆動回路44に送出される階調表示用信号SP1、表示制御信号SP2に基づいてタイミングを調整しながら制御することによって、液晶50の配向状態を制御する。ここで、データ側駆動回路43および走査側駆動回路44は、半導体集積回路として構成されており、各液晶50の配向状態を個別に制御可能なように数十から百数十個の単位出力回路を有する。このような構成のTFT液晶表示パネル45において、その階調表示は、液晶50に印加される電圧に対応して液晶50の配向の程度が変化することを利用して行われる。すなわち、データ側駆動回路43から出力される駆動信号のレベルを階調表示用信号SP1に基づいて変化させることによって行う。

【0003】 そのため、従来の液晶表示パネルのデータ側駆動回路の側には、図7に示す8階調表示対応の単位出力回路が構成されている。この図に示す8階調表示対応の単位出力回路において、転送されてきた3ビット表示用入力データ61は、保持出力部62に取り込まれ、ラッチパルスに同期して並列データ信号として出力される。ここで、保持出力部62は、クロックパルスに同期して3ビット表示用入力データ61を取り込んで転送するフリップフロップであって、隣接するフリップフロップと3ビット入力シフトレジスタ63を構成する3個のD型フリップフロップ64と、この3ビット入力シフトレジスタ63から転送された3ビット表示用入力データ61に対応する並列データ信号をラッチパルスに同期して比較回路67へ出力するラッチ回路66とを有する。比較回路67では、3ビットのバイナリカウンターのカウンタ出力68と比較され、サンプリングパルスが作成される。このサンプリングパルスは、レベルシフト69により高電圧系へレベル変換され、このレベル変換されたサンプリングパルスに基づき、サンプリングホールド回路70においては、アナログスイッチ71が8段の階段状波のうちの所定の電圧をサンプリングし、コンデンサ72にホールドする。これをボルテージフォロワのオペアンプ73からインピーダンス変換して階調表示用電圧信号として出力端子から出力する。この出力信号に基づき、液晶表示パネルにおいては、液晶の配向状態が制御されて8階調表示が行われる。

## 【0004】

【発明が解決しようとする課題】 しかしながら、従来の液晶表示パネルのデータ側駆動装置においては、表示階調数を増すに伴って単位出力回路の回路構成が複雑化するため、表示を高階調化して表示の品位を高めるのに限界があるという問題点がある。たとえば、図7に示す単

位出力回路を8階調表示対応から16階調表示対応に変更した場合には、3ビット入力シフトレジスタ63およびラッチ回路66のいずれのD型フリップフロップ64, 74も4個ずつになるだけでなく、カウンタ出力信号線75および排他的論理和 (EXOR) 回路76も4個になると共に、3入力NAND77が4入力NANDになる。さらに、サンプリングホールド回路70におけるサンプリング時間が1/2に短縮されるため、サンプリングホールド回路70の精度を向上するための方策を講じる必要がある。ここで、図8(a)に示す排他的論理和回路76は、一般に、図8(b)に示すように、2つのインバータ78と3個のNAND79とから構成され、または、図8(c)に示すように、2つのインバータ78と2つのアナログスイッチ80とから構成される。このため、排他的論理和回路76を1個増やすだけでも、4個から5個の論理素子の増加となってしまうためである。

【0005】また、図7に示した単位出力回路の他にも、図9に示す単位出力回路が採用される場合もあるが、同様に、表示階調数を増すに伴って、単位出力回路の構成が複雑になるため、表示の品位を高めるのに限界があるという問題点がある。すなわち、この単位出力回路は、D型フリップフロップ91, 92で構成された3ビット入力シフトレジスタ93およびラッチ回路94から出力された並列データ信号を、レベルシフタ95を介して3入力NAND96およびインバータ97で構成されたデコーダ98に転送し、そこから出力されたデータに基づいて、アナログスイッチ99を用いたセクター100は、8本の階調信号101のいずれかを選択する構成になっている。このため、8階調表示対応からたとえば16階調表示対応に変更すると、レベルシフタ95の他にも、デコーダ98およびセクター98を構成する3入力NAND96, インバータ97およびアナログスイッチ99の個数がそれぞれ2倍になってしまう。しかも、これらの回路素子は、高電圧系であるため、耐電圧を確保する必要があるため、その素子占有面積が大きくなる結果、階調数が2倍になると単位出力回路の占有面積も約2倍になり、図7に示した単位出力回路よりも高階調化に不向きである。

【0006】以上の問題点に鑑みて、本発明の課題は、単位出力回路の構成素子の増大を最小限に止めたまま、多出力駆動用信号の出力レベル数を増加可能、たとえば、液晶表示パネルにおいては、その表示を高階調化可能な多出力駆動用半導体装置および液晶表示パネルのデータ側駆動装置を実現することにある。

【0007】

【課題を解決するための手段】 上記課題を解決するために、本発明に係る多出力駆動用半導体装置において講じた手段は、取り込んだデータ信号をラッチ信号に同期して並列データとして出力する保持出力部と、この保持出

力部から出力された並列データに基づいて、重み付けされた各基準電圧を選択するセクターと、このセクターにより選択された各基準電圧に演算を施してデータ信号に対応する電圧信号を出力する演算部とを備える単位出力回路を設けることである。

【0008】ここで、演算部としては、選択された各基準電圧のうち、非反転入力側で選択された基準電圧の和と、反転入力側で選択された基準電圧の和との差を所定の増幅度で増幅して電圧信号を出力する差動増幅部を採用することができる。

【0009】また、演算部としては、選択された各基準電圧を加算して電圧信号として出力する電圧加算部、好ましくは、この電圧加算部として基準電圧を加算すると共に所定の増幅度で増幅する電圧加算増幅部を採用することができる。この場合には、電圧加算部(電圧加算増幅部)から出力される電圧信号にオフセットを加えることが可能なように、出力電圧加算部にオフセット調整用電圧を入力すべき出力電圧調整手段を設けておくことが好ましい。

【0010】このような構成の多出力駆動用半導体装置は、保持出力部に、クロック信号に同期してデータ信号としての階調表示用信号を取り込んで並列データ信号を転送するシフトレジスタと、このシフトレジスタから転送された並列データ信号を走査側とのタイミングを調整すべきラッチ信号に同期して出力するラッチ回路とを設けることによって、液晶表示パネルのデータ側駆動装置として利用することができる。

【0011】

【作用】 上記手段を講じた本発明に係る多出力駆動用半導体装置の作用を、それを液晶表示パネルのデータ側駆動装置に用いて8階調の表示を可能とする場合を例に説明する。本発明に係るデータ側駆動装置においては、保持出力部から出力された並列データ信号に基づいて、セクターは、たとえば単位電圧レベルX(v)に重み付けされた各基準電圧0(v), X(v), 2X(v), 4X(v)のうちから所定の基準電圧を選択する。そして、演算部は、選択されたこれらの基準電圧に演算を施して、それを電圧信号として出力する。

【0012】たとえば、本発明において、演算部を増幅率が2倍の差動増幅部として構成した場合には、非反転入力側の基準電圧を4X(v)として、それを選択する一方、反転入力側で0(v)の基準電圧を選択すると、その出力電圧は以下の式で表され、8X(v)となる。

$$【0013】 V_{out} = 2(4X - 0)$$

これに対し、反転入力側の基準電圧をX(v), 2X(v)として、それらをすべて選択する一方、非反転入力側で0(v)の基準電圧を選択すると、その出力電圧は以下の式で表され、-6X(v)となる。

$$【0014】 V_{out} = 2\{0 - (X + 2X)\}$$

すなわち、-6X(v)から2X(v)ずつ8X(v)

5

までの出力電圧が得られる。

【0015】また、本発明において、演算部を電圧加算部として構成した場合には、セレクターは、たとえば単位電圧レベル $X$  (v) に重み付けされた各基準電圧 $0$  (v),  $X$  (v),  $2X$  (v),  $4X$  (v) のうちから所定の基準電圧を選択し、選択されたこれらの基準電圧を、電圧加算部は加算する。その結果、電圧加算部から出力される電圧信号は、 $0$  (v) から  $7X$  (v) までのいずれかの値となる。

【0016】このように、基準電圧を差動増幅部や電圧加算部（電圧加算増幅部）などの演算部で高電圧化するため、セレクターまでの回路を低電圧の省スペース回路素子で構成できるので、単位出力回路の構成素子の増大を最小限の止めたままで、しかも、スペースを増大させることなく信号の出力レベルの多段階化、すなわち液晶表示パネルの高階調化を実現できる。

【0017】

【実施例】つぎに、添付図面に基づいて、本発明の実施例について説明する。

【0018】【実施例1】図1は本発明の実施例1に係る液晶表示パネルのデータ側駆動装置における単位出力回路の概略構成図である。

【0019】図において、この単位出力回路の概略構成は、クロックパルスに同期して取り込んだ階調表示用信号13（データ信号）を3ビットの並列データ信号16a, 16b, 16cとしてラッチパルスに同期して出力する保持出力部1と、この保持出力部1から出力された並列データ信号16a, 16b, 16cに基づいて、重み付けされた階調用基準電圧12（基準電圧）を選択するセレクター2と、このセレクター2により選択された階調用基準電圧12を加算、増幅する電圧加算増幅部3（演算部、電圧加算部）とを有する。

【0020】ここで、保持出力部1は、クロックパルスに同期してデジタル信号化されている階調表示用信号13を出力データ14として取り込んで転送する3ビット入力シフトレジスタ4と、この3ビット入力シフトレジスタ4から転送された出力データ14を走査側とのタイミングを調整すべきラッチパルスに同期して並列データ信号16a, 16b, 16cとして出力するラッチ回路5とから構成されており、これらの3ビット入力シフトレジスタ4およびラッチ回路5は、いずれもD型フリップフロップ10, 9から構成されている。また、セレクター2は、ラッチ回路5から送出された並列データ信号16a, 16b, 16cのそれぞれに対応するアナログスイッチ8a, 8b, 8cを有し、アナログスイッチ8a, 8b, 8cは、並列データ信号16a, 16b, 16cに基づいて、重み付けされた階調用基準電圧12および基準電圧11のいずれかを選択するようになっている。さらに、電圧加算部3は、各アナログスイッチ8a, 8b, 8cに直列接続された抵抗7a, 7b, 7c

6

と、これらの抵抗7a, 7b, 7cとのバランスによって、出力端子に生じる電圧レベルの増幅度を規定する抵抗6を備えるオペアンプ15とから構成されている。

【0021】ここで、抵抗7a, 7b, 7cの抵抗値を $R_i$ 、抵抗6の抵抗値を $R_f$ 、階調用基準電圧12c（基準電圧線）から抵抗7aに加わる電圧を $V_0$  (v)、階調用基準電圧12bから抵抗7bに加わる電圧を $V_1$  (v)、階調用基準電圧12aから抵抗7cに加わる電圧を $V_2$  (v)、基準電圧11（基準電圧線）からオペアンプ15の+入力に印加される電圧を $0$  vとすると、出力端子から得られる出力電圧は以下の式出力電圧 $V_{out} = -(R_f / R_i) \cdot (V_0 + V_1 + V_2)$

より求められる。

【0022】従って、このような構成からなる単位出力回路を備えるデータ側駆動装置においては、各アナログスイッチ8a, 8b, 8cに切換動作によって、8段階の出力電圧が出力されることになる。この目的に用いられる真理表は、アナログスイッチ8a, 8b, 8cを制御する入力データ（並列データ信号16a, 16b, 16c）をそれぞれD1, D2, D3とすると、表1に示すとおりである。

【0023】

【表1】

| D1 | D2 | D3 | 出力    |
|----|----|----|-------|
| 1  | 1  | 1  | $V_1$ |
| 0  | 1  | 1  | $V_2$ |
| 1  | 0  | 1  | $V_3$ |
| 0  | 0  | 1  | $V_4$ |
| 1  | 1  | 0  | $V_5$ |
| 0  | 1  | 0  | $V_6$ |
| 1  | 0  | 0  | $V_7$ |
| 0  | 0  | 0  | $V_8$ |

【0024】すなわち、アナログスイッチ8a, 8b, 8cを制御する入力データD1, D2, D3に基づいて、出力電圧 $V_1$ ないし出力電圧 $V_8$ のうちのいずれか

の出力電圧が出力端子から得られることになる。

【0025】たとえば、抵抗7a、7b、7cの抵抗値( $R_i$ )を10k $\Omega$ 、抵抗6の抵抗値( $R_f$ )を20k $\Omega$ とし、階調用基準電圧12cから抵抗7aに加わる電圧を $V_0$ (v)を1v、階調用基準電圧12bから抵抗7bに加わる電圧を $V_1$ (v)を2v、階調用基準電圧12aから抵抗7cに加わる電圧を $V_2$ (v)を4v、基準電圧11からオペアンプ15の+入力に印加される電圧を0vすると、出力端子から得られる出力電圧は、-14vから0vまでの2vずつ8段階の電圧レベルが選択できることになる。また、抵抗7a、7b、7cの抵抗値( $R_i$ )を10k $\Omega$ 、抵抗6の抵抗値( $R_f$ )を20k $\Omega$ のままで、交流化を目的に、階調用基準電圧12cから抵抗7aに加わる電圧を $V_0$ (v)を4v、階調用基準電圧12bから抵抗7bに加わる電圧を $V_1$ (v)を3v、階調用基準電圧12aから抵抗7cに加わる電圧を $V_2$ (v)を1v、基準電圧11からオペアンプ15の+入力に印加される電圧を5vすると、出力端子から得られる出力電圧は、5vから19vまでの2vずつ8段階の電圧レベルが選択できることになる。

【0026】そして、これらの電圧レベルに対応して、図6に示したアクティブマトリクス型(TFT)液晶表示パネルにおいては、データ信号線46と走査信号線47との交点の表示画素毎に、液晶50の両端に印加される電圧が制御される。その結果、印加された電圧に基づいて、液晶50の配向状態の程度が変化することによって、各表示画素における表示状態が8階調表示化される。

【0027】以上のとおり、本例の単位出力回路を備える液晶表示パネルのデータ側駆動装置においては、D型フリップフロップ10、9から構成された3ビット入力シフトレジスタ4およびラッチ回路5からなる保持出力部1と、この保持出力部1から出力された並列データ信号16a、16b、16cに基づいて、重み付けされた階調用基準電圧12を選択するアナログスイッチ8a、8b、8cを備えるセレクター2と、このセレクター2により選択された基準電圧を加算、増幅する抵抗7a、7b、7c、6およびオペアンプ15から構成された電圧加算増幅部3で8段階の出力電圧を得ることができ、従来のデータ側駆動装置とは異なり、NAND回路やインバータを有していない。それ故、8階調表示対応のデータ側駆動装置としては、その占有面積が小さくて済む。また、電圧加算増幅部3で高電圧系に高めるため、階調用基準電極12は、いずれも低電圧系で充分である。従って、レベルシフトなどを搭載する必要もないと共に、耐電圧を考慮すべき領域が極めて狭いので、データ側駆動装置の省スペース化に有利である。さらに、この回路構成から16階調表示対応に変更する場合であっても、図1に示す単位出力回路を図2に示す回路構成に変更するだけでよい。すなわち、D型フリップフロップ

10、9を追加して4ビット対応とした4ビット入力シフトレジスタ25およびラッチ回路26からなる保持出力部24と、アナログスイッチ8a、8b、8cにアナログスイッチ8dを追加して、4段階の階調用基準電圧29から電圧を選択可能なセレクター27と、抵抗7a、7b、7c、7d、6およびオペアンプ15を備える電圧加算増幅部28とを採用することなどによって、16段階の出力電圧を得ることができる。それ故、液晶表示パネルを高階調化した場合であっても、そのデータ側駆動装置の単位出力回路を構成する素子の増大を最小限に止めることができる。

【0028】〔実施例2〕図3に本発明の実施例2に係る液晶表示パネルのデータ側駆動装置における単位出力回路の概略構成図である。ここで、本例の単位出力回路の構成は、実施例1に係る単位出力回路の構成と同様であるため、対応する部分には、同符号を付して、それらの説明を省略する。

【0029】図において、本例の単位出力回路は、オペアンプ15(電圧加算増幅部21)の-入力に対してセレクター22からの加算電圧(基準電圧)に加えて、出力端子から出力される電圧信号にオフセットを加える目的に、出力電圧調整信号23からのオフセット用の加算電圧も抵抗7を介して入力可能になっている。その他の構成は、実施例1に係る単位出力回路と同様に、D型フリップフロップ10、9から構成された3ビット入力シフトレジスタ4およびラッチ回路5からなる保持出力部1と、この保持出力部1から出力された並列データ信号16a、16b、16cに基づいて、重み付けされた階調用基準電圧12を選択するアナログスイッチ8a、8b、8cを備えるセレクター22と、このセレクター22により選択された階調用基準電圧を加算、増幅する抵抗7a、7b、7c、6およびオペアンプ15を有する電圧加算増幅部21とを有し、8段階の出力電圧を得ることができるようになっている。

【0030】従って、実施例1の単位出力回路に対して、出力電圧調整信号21および抵抗7を追加するだけで、出力端子からの出力電圧にオフセットを加えることができるので、簡単な構成で、液晶表示パネルの他の構成に対応した出力信号レベルを得ることができる。また、実施例1の単位出力回路と同様に、D型フリップフロップ10、9から構成された3ビット入力シフトレジスタ4およびラッチ回路5を備える保持出力部1と、アナログスイッチ8a、8b、8cを備えるセレクター22と、抵抗7a、7b、7cおよびオペアンプ15を備える電圧加算増幅部21で8段階の出力電圧を得ることができ、8階調表示対応のデータ側駆動装置としては、その占有面積が小さくて済む。また、電圧加算増幅部21で高電圧系に高めるため、階調用基準電極12は、いずれも低電圧系で充分である。従って、レベルシフトなどを搭載する必要もないと共に、耐電圧を考慮すべき領

域が極めて狭いので、データ側駆動装置の省スペース化に有利である。さらに、この8階調表示対応の単位出力回路を16階調表示対応に変更する場合であっても、保持出力部1および階調用基準電圧12を4ビット対応とする他には、アナログスイッチおよび抵抗などを追加するだけでよい。

【0031】〔実施例3〕図4は本発明の実施例3に係る液晶表示パネルのデータ側駆動装置における単位出力回路の概略構成図である。ここで、本例の単位出力回路の構成のうち、保持出力部およびセレクター部の構成について、実施例1に係る単位出力回路の構成と同様であるため、対応する部分には同符号を付してある。

【0032】図において、この単位出力回路の概略構成は、クロックパルスに同期して取り込んだ階調表示用信号13を3ビットの並列データ信号16a、16b、16cとしてラッチパルスに同期して出力する保持出力部1と、この保持出力部1から出力された並列データ信号16a、16b、16cに基づいて、重み付けされた階調用基準電圧12（基準電圧）を選択するセレクター37とを有する。また、本例の液晶表示パネルのデータ側駆動装置における単位出力回路においては、このセレクター37により選択された階調用基準電圧12に演算を施して、階調表示用信号13に対応する電圧信号を出力する演算部として、非反転入力側の選択した電圧の和から、反転入力側の選択した電圧の和を減算して増幅する差動増幅部31を有する。ここで、保持出力部1は、実施例1と同様に、クロックパルスに同期してデジタル信号化されている階調表示用信号13を出力データ14として取り込んで転送する3ビット入力シフトレジスタ4と、この3ビット入力シフトレジスタ4から転送された出力データ14を走査側とのタイミングを調整すべきラッチパルスに同期して並列データ信号16a、16b、16cとして出力するラッチ回路5とを有し、これらの3ビット入力シフトレジスタ4およびラッチ回路5は、いずれもD型フリップフロップ9、10から構成されている。また、セレクター37は、ラッチ回路5から送出された並列データ信号16a、16b、16cのそれぞれに対応するアナログスイッチ8a、8b、8cを有し、アナログスイッチ8a、8b、8cは、並列データ信号16a、16b、16cに基づいて、重み付けされた階調用基準電圧12および基準電圧11のいずれかを選択するようになっている。

【0033】また、差動増幅部31は、各アナログスイッチ8a、8b、8cに直列接続された抵抗7a、7b、7cと、基準電圧11に接続された抵抗36と、出力端子に生じる電圧レベルの増幅度を規定する抵抗6を備えるオペアンプ15とを有する。そのうち、抵抗7a、7bはオペアンプ15の反転入力側に接続し、抵抗7cはオペアンプ15の非反転入力側に接続されている。なお、オペアンプ15の非反転入力側には、差動入

力の入力本数を合わせるための抵抗7eも接続されており、この抵抗7eは基準電圧11に接続されている。

【0034】ここで、抵抗7a、7b、7c、7eの抵抗値を $R_i$ 、抵抗6、36の抵抗値を $R_f$ とし、階調用基準電圧12cから抵抗7aに加わる電圧を $V_0$ （v）、階調用基準電圧12bから抵抗7bに加わる電圧を $V_1$ （v）、階調用基準電圧12aから抵抗7cに加わる電圧を $V_2$ （v）、基準電圧11から抵抗7e、36に加わる電圧を0vとすると、出力端子から得られる出力電圧は以下の式

$$\text{出力電圧 } V_{\text{out}} = (R_f / R_i) \cdot \{V_2 - (V_0 + V_1)\}$$

で表される。

【0035】従って、このような構成からなる単位出力回路を備えるデータ側駆動装置においては、各アナログスイッチ8a、8b、8cの切換動作によって、8段階の出力電圧が出力されることになる。その目的に用いられる真理表は、アナログスイッチ8a、8b、8cを制御する入力データ（並列データ信号16a、16b、16c）をそれぞれD1、D2、D3とすると、実施例1の説明に用いた表1の真理表と同様になる。すなわち、アナログスイッチ8a、8b、8cを制御する入力データD1、D2、D3に基づいて、出力電圧V1ないし出力電圧V8のうちのいずれかの出力電圧が出力端子から得られることになる。

【0036】たとえば、抵抗7a、7b、7c、7eの抵抗値（ $R_i$ ）を10k $\Omega$ 、抵抗6、36の抵抗値（ $R_f$ ）を10k $\Omega$ とし、階調用基準電圧12cから抵抗7aに加わる電圧を $V_0$ （v）を2.5v、階調用基準電圧12bから抵抗7bに加わる電圧を $V_1$ （v）を3.0v、階調用基準電圧12aから抵抗7cに加わる電圧を $V_2$ （v）を4.0v、基準電圧11から抵抗7e、36に加わる電圧を0vとすると、出力端子から得られる出力電圧は、0.5vから4.0vまでの0.5vずつ8段階の電圧レベルが選択できることになる。また、抵抗7a、7b、7cの抵抗値（ $R_i$ ）を10k $\Omega$ 、抵抗6、36の抵抗値（ $R_f$ ）を10k $\Omega$ のままで、交流化を目的に、階調用基準電圧12cから抵抗7aに加わる電圧を $V_0$ （v）を2.0v、階調用基準電圧12bから抵抗7bに加わる電圧を $V_1$ （v）を1.0v、階調用基準電圧12cから抵抗7cに加わる電圧を $V_2$ （v）を0.5v、基準電圧11から抵抗7e、36に加わる電圧を0vとすると、出力端子から得られる出力電圧は、-3.0vから0.5vまでの0.5vずつ8段階の電圧レベルが選択できることになる。また、差動増幅部31の抵抗6の抵抗値を相対的に変えて、その抵抗比を変えることによって、その増幅率を変えることによって、出力電圧をレベルを所定のレベルに設定できる。そして、これらの電圧レベルに対応して、図6に示したアクティブマトリクス型（TFT）液晶表示パネル

においては、データ信号線46と走査信号線47との交点の表示画素毎に、液晶50の両端に印加される電圧が制御される。その結果、印加された電圧に基づいて、液晶50の配向状態の程度が変化することによって、各表示画素における表示状態が8階調表示化される。

【0037】以上のとおり、本例の単位出力回路を備える液晶表示パネルのデータ側駆動装置においては、保持出力部1から出力された並列データ信号16a、16b、16cに基づいて、重み付けされた階調用基準電圧12を選択するアナログスイッチ8a、8b、8cを備えるセレクター37と、このセレクター37により選択された基準電圧を差動増幅する差動増幅部31とによって8段階の出力電圧を得ることができる。それ故、8階調表示対応のデータ側駆動装置としては、その占有面積が小さくて済む。また、差動増幅部31で高電圧系に高めるため、階調用基準電極12は、いずれも低電圧系で充分である。従って、レベルシフトなどを搭載する必要もないと共に、耐電圧を考慮すべき領域が極めて狭いので、データ側駆動装置の省スペース化に有利である。さらに、この回路構成から16階調表示対応に変更する場合であっても、図4に示す単位出力回路を図5に示す回路構成に変更するだけでよい。すなわち、図2に示す単位出力回路と同様に、D型フリップフロップ9、10を追加して4ビット対応とした4ビット入力シフトレジスタ25およびラッチ回路26を備え、並列データ信号16a、16b、16c、16dを出力可能な保持出力部24と、アナログスイッチ8a、8b、8cにアナログスイッチ8dを追加して、並列データ信号16a、16b、16c、16dに基づいて4段階の階調用基準電圧39から電圧を選択可能なセレクター35と、抵抗7a、7b、7c、6、36およびオペアンプ15に加えて、階調用基準電圧39に接続する抵抗7dを追加した差動増幅部32とを採用することなどによって、16段階の出力電圧を得ることができる。それ故、液晶表示パネルを高階調化した場合であっても、そのデータ側駆動装置の単位出力回路を構成する素子の増大を最小限に止めることができる。また、選択した階調用基準電圧12に演算を施して階調表示用信号13に対応する電圧信号を出力する演算部として、差動増幅部31、32を採用しているため、その抵抗比および基準電圧を所定の条件に設定して、マイナス側の高電圧を発生することもできる。

【0038】なお、実施例1ないし実施例3においては、いずれも単位出力回路を液晶表示パネルのデータ側駆動装置として用いた場合を説明したが、多出力駆動用半導体装置として、別のフラット型の表示装置に用いてもよく、その用途については限定がない。

【0039】

【発明の効果】以上のとおり、本発明に係る多出力駆動用半導体装置および液晶表示パネルのデータ側駆動装

置の単位出力回路においては、保持出力部から出力された並列データに基づいて、重み付けされた基準電圧を選択するセレクターと、このセレクターにより選択された基準電圧に演算を施して、それを電圧信号として出力する差動増幅部や電圧加算部などの演算部とを有することに特徴を有しているため、以下の効果を奏する。

【0040】① 選択された重み付き基準電圧を差動増幅部や電圧加算部などの演算部において高電圧化するため、セレクターまでの回路を低電圧の省スペース回路素子で構成できるので、駆動装置側の省スペース化を実現できる。

【0041】② 演算部を差動増幅部で構成した場合には、各抵抗に対応する基準電圧および抵抗比の設定によって、マイナス側の高電圧を発生することができる。

【0042】③ 信号をレベルシフトで高電圧系に変換する必要がないので、単位出力回路を構成する素子数が少なく済む。

【0043】④ 信号レベルを多段階化するにあって、追加する素子が少なく済むので、たとえば液晶表示パネルの高階調表示化を容易に実現することができる。

【図面の簡単な説明】

【図1】本発明の実施例1に係る液晶表示パネルの8階調表示対応のデータ側駆動装置における単位出力回路の概略構成図である。

【図2】図1に示す液晶表示パネルのデータ側駆動装置における単位出力回路を16階調表示対応に変形した場合の概略構成図である。

【図3】本発明の実施例2に係る液晶表示パネルの8階調表示対応のデータ側駆動装置における単位出力回路の概略構成図である。

【図4】本発明の実施例3に係る液晶表示パネルの8階調表示対応のデータ側駆動装置における単位出力回路の概略構成図である。

【図5】図4に示す液晶表示パネルのデータ側駆動装置における単位出力回路を16階調表示対応に変形した場合の概略構成図である。

【図6】代表的なアクティブマトリクス型液晶表示パネルの概略構成図である。

【図7】従来の液晶表示パネルの8階調表示対応のデータ側駆動装置における単位出力回路の概略構成図である。

【図8】(a)は排他的論理和の記号を示す説明図、(b)は排他的論理和回路の回路図、(c)は別の排他的論理和回路の回路図である。

【図9】別の従来の液晶表示パネルの8階調表示対応のデータ側駆動装置における単位出力回路の概略構成図である。

【符号の説明】

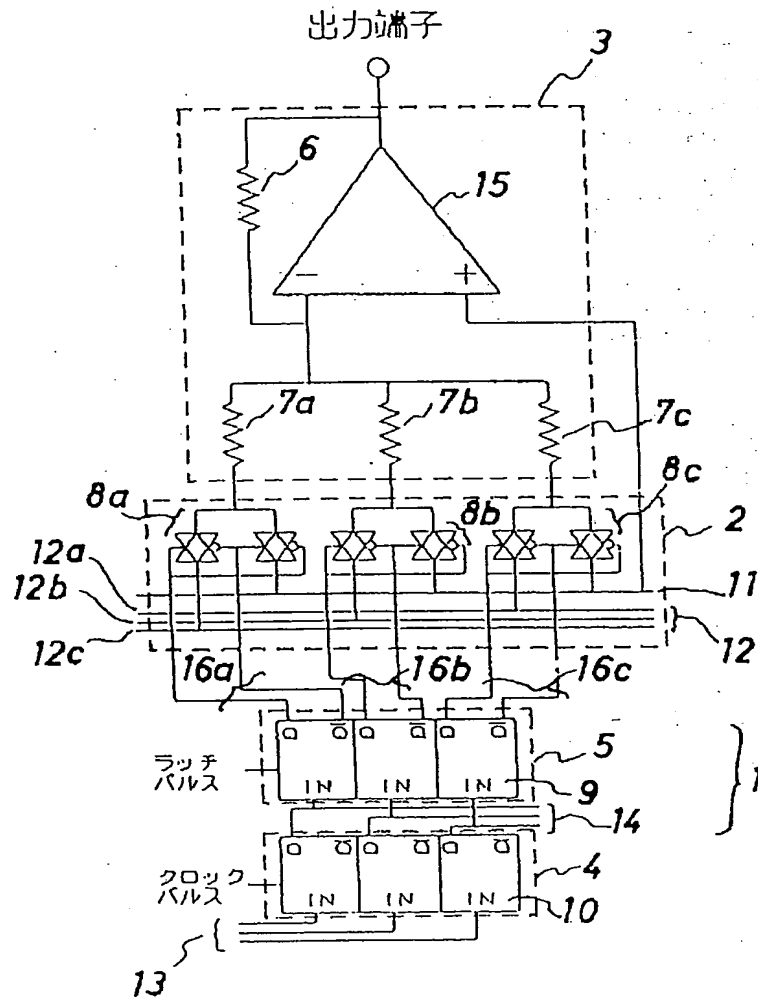
1, 24・・・保持出力部  
2, 22, 27, 35, 37・・・セレクター



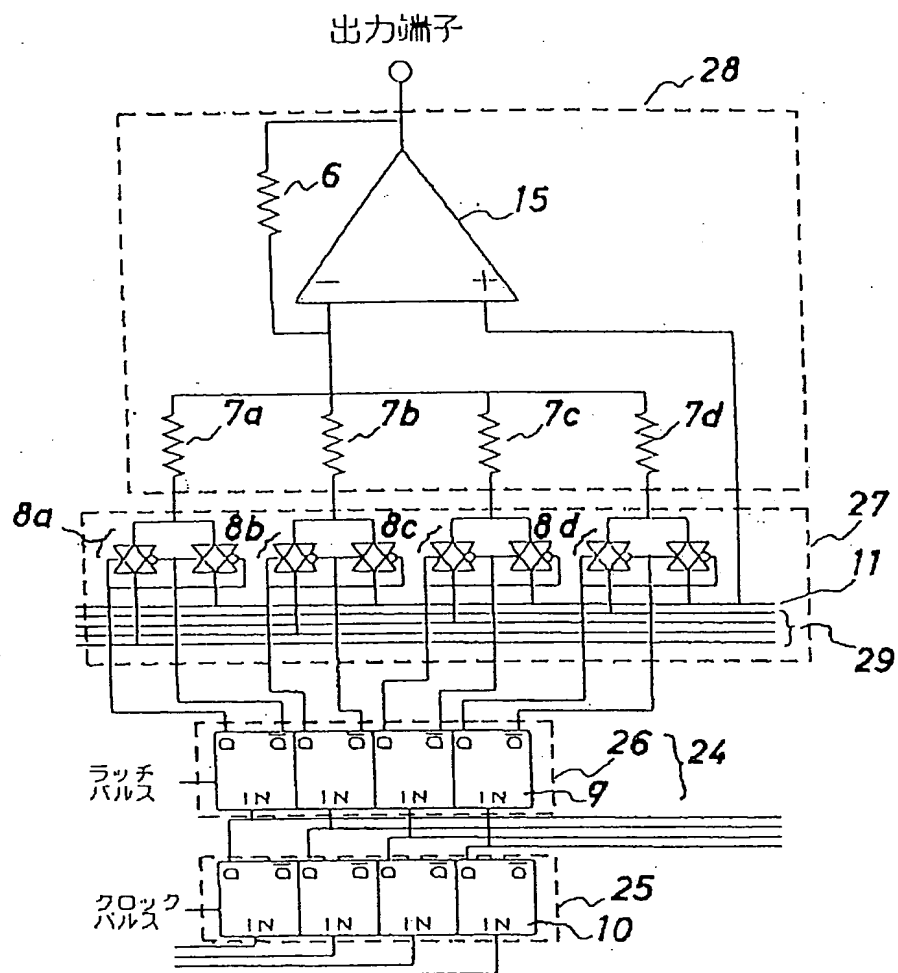
13  
 3, 21, 28・・・電圧加算増幅部 (演算部)  
 4・・・3ビット入力シフトレジスタ  
 5, 26・・・ラッチ回路  
 6, 7, 7a, 7b, 7c, 7d, 7e, 36・・・抵抗  
 8a, 8b, 8c, 8d・・・アナログスイッチ  
 9, 10・・・D型フリップフロップ  
 11・・・基準電圧

14  
 12, 12a, 12b, 12c, 29, 39・・・階調  
 用基準電圧 (基準電圧)  
 13・・・階調表示用信号  
 15・・・オペアンプ  
 16a, 16b, 16c, 16d・・・並列データ信号  
 23・・・出力電圧調整信号  
 25・・・4ビット入力シフトレジスタ  
 31, 32・・・差動増幅部 (演算部)

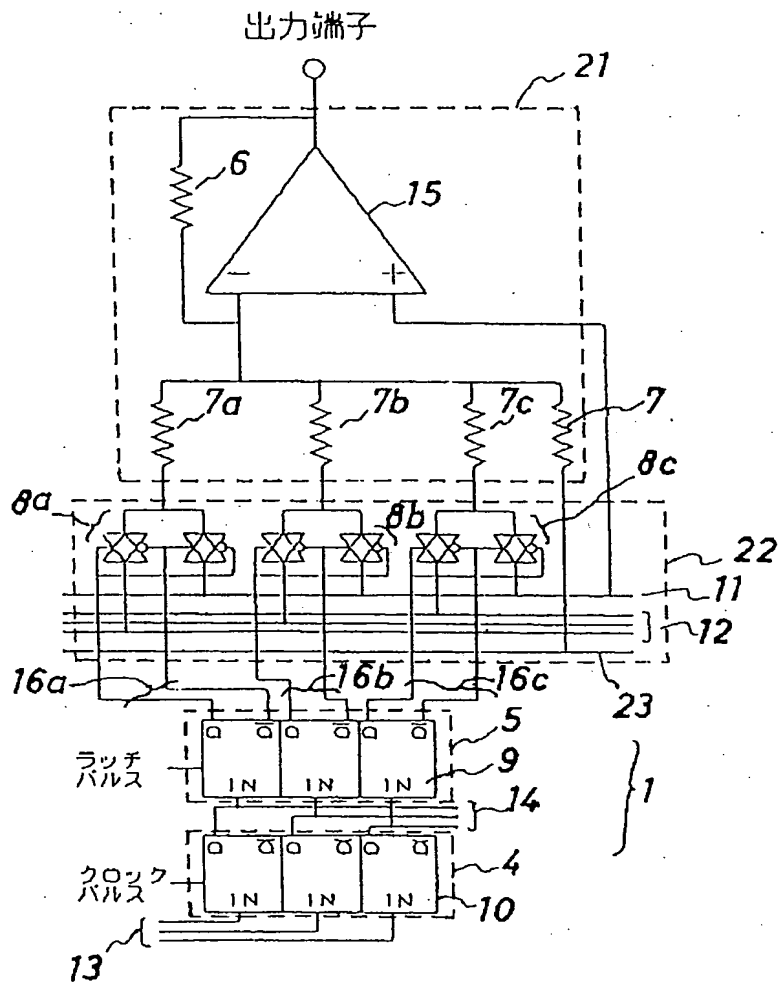
【図1】



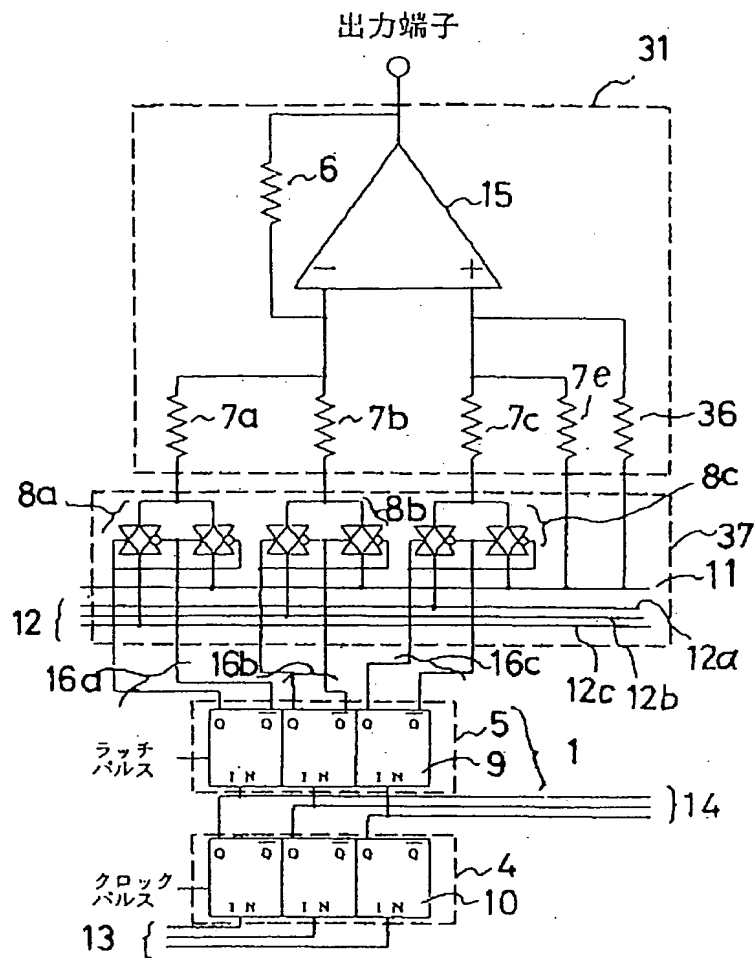
【図2】



【図3】



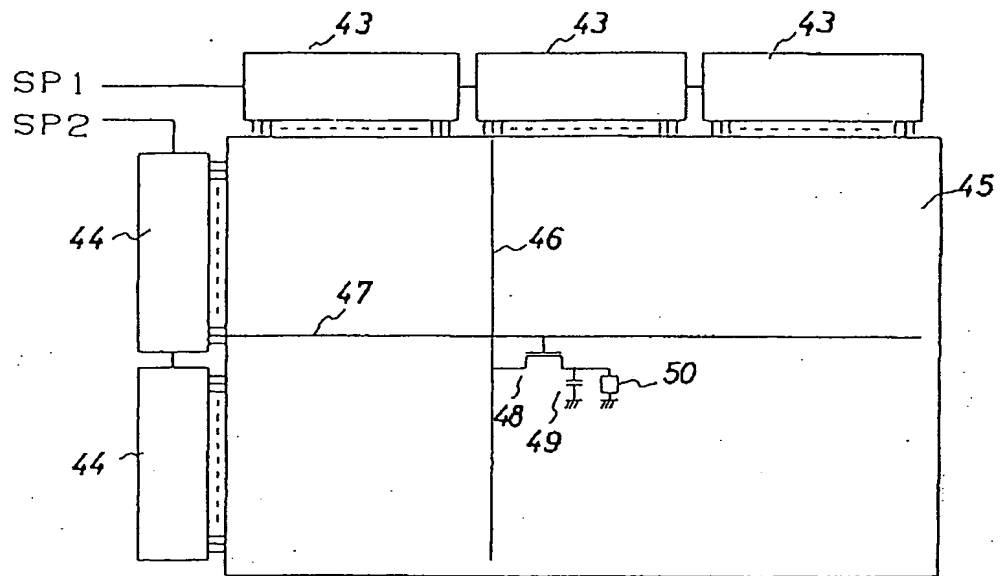
【図4】



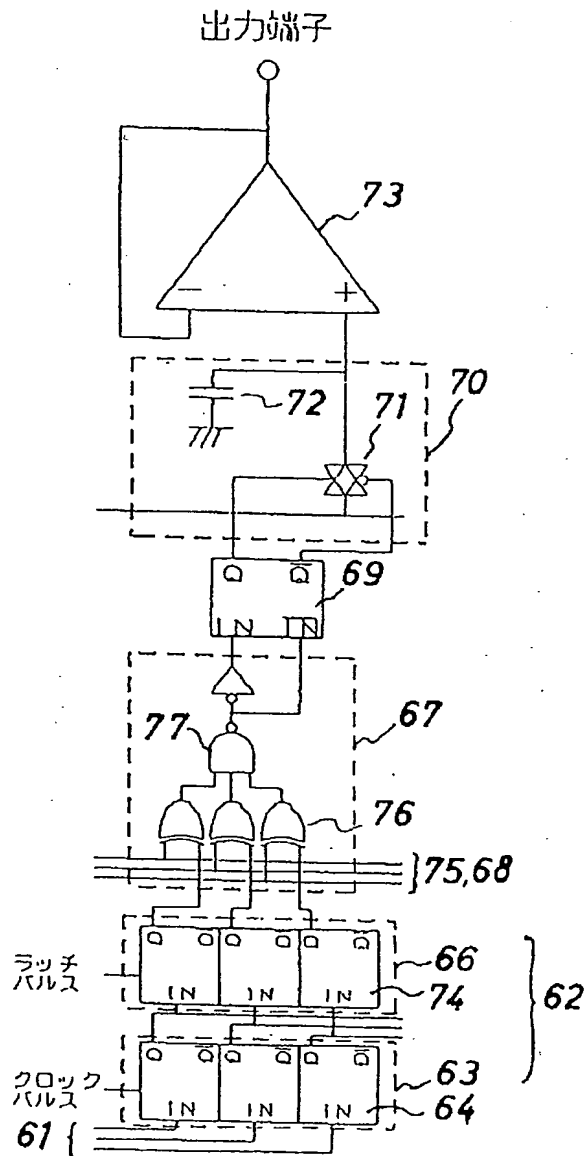
出力端子



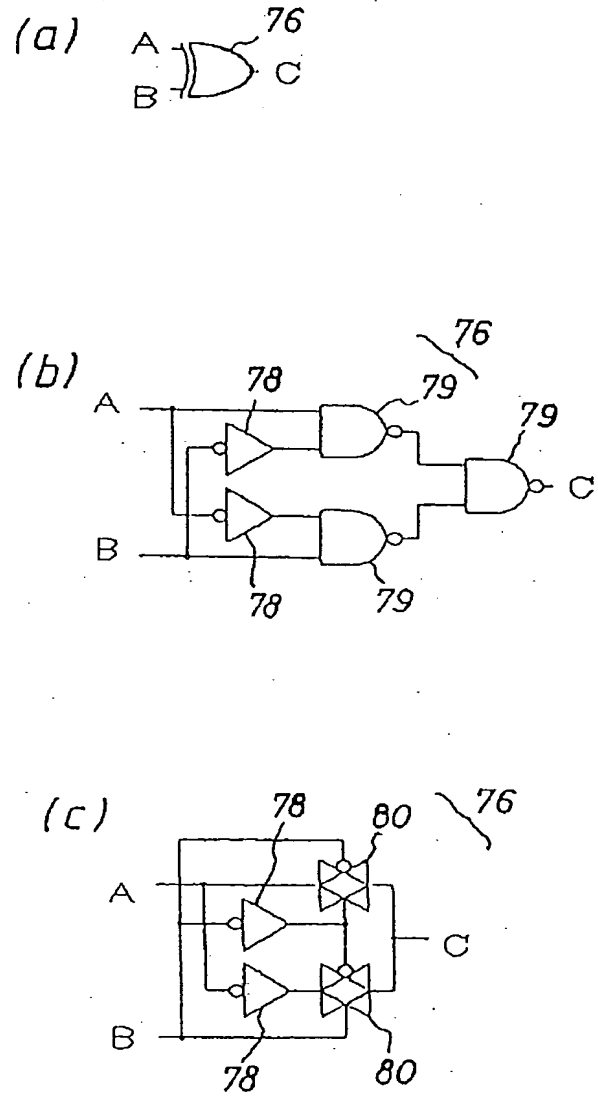
【図6】



【図7】



【図8】



【図9】

